

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-17996

(P2003-17996A)

(43)公開日 平成15年1月17日(2003.1.17)

(51)Int.Cl.⁷

H03K 19/0185

識別記号

FI

H03K 19/00

テームコード(参考)

101E 5J056

審査請求 未請求 請求項の数3 O L (全7頁)

(21)出願番号 特願2001-196582(P2001-196582)

(22)出願日 平成13年6月28日(2001.6.28)

(71)出願人 501285133

川崎マイクロエレクトロニクス株式会社

千葉県千葉市美浜区中瀬一丁目3番地

(72)発明者 岩崎 秀昭

東京都千代田区内幸町2丁目2番3号 川

崎製鉄株式会社東京本社内

(74)代理人 100080159

弁理士 渡辺 望純 (外1名)

Fターム(参考) 5J056 AA32 BB19 CC21 DD29 DD51

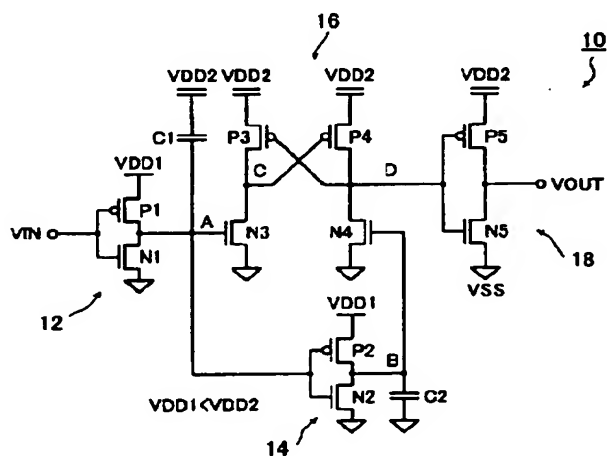
FF08 GG07 KK01

(54)【発明の名称】 レベルシフト回路

(57)【要約】

【課題】電源電圧の異なる2つの電源の投入順序に係わらず、電源投入時の貫通電流を防止することができるようにする。

【解決手段】本発明のレベルシフト回路は、低電圧の信号を高電圧の信号に変換するレベルシフタを備えている。このレベルシフタは、低電圧の信号が入力される入力用トランジスタを備え、この入力用トランジスタのオン/オフの状態に応じてレベルシフタの出力信号を発生するものである。また、本発明のレベルシフト回路は、低電圧の電源よりも先に高電圧の電源が投入された場合に、レベルシフタの入力用トランジスタへの入力信号を確定する手段を備えている。



1

【特許請求の範囲】

【請求項 1】低電圧の信号を高電圧の信号に変換するレベルシフタを備えるレベルシフト回路であって、

前記レベルシフタは、前記低電圧の信号が入力される入力用のトランジスタを備え、この入力用のトランジスタのオン/オフの状態に応じて当該レベルシフタの出力信号を発生するものであって、

低電圧の電源よりも先に高電圧の電源が投入された場合に、前記レベルシフタの入力用のトランジスタへの入力信号を確定する手段を備えていることを特徴とするレベルシフト回路。 10

【請求項 2】前記レベルシフタの入力用のトランジスタへの入力信号を確定する手段は、前記高電圧の電源もしくはグランドと前記レベルシフタの入力用のトランジスタの入力端子との間に設けられた容量素子である請求項 1 に記載のレベルシフト回路。

【請求項 3】前記レベルシフタの入力用のトランジスタへの入力信号を確定する手段は、前記高電圧の電源もしくはグランドと前記レベルシフタの入力用のトランジスタの入力端子との間に設けられた抵抗素子である請求項 20 1 に記載のレベルシフト回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、低電圧の信号を高電圧の信号に変換するレベルシフト回路に関するものである。

【0002】

【従来の技術】図 8 は、従来のレベルシフト回路の一例の構成回路図である。同図に示すレベルシフト回路 30 は、低電圧の信号 V_{IN} を高電圧の信号 V_{OUT} に変換するもので、ブリドライバの 2 つのインバータ 12、14 と、レベルシフタ 16 と、出力最終段ドライバのインバータ 18 とを備えている。ここで、電源 V_{DD1} は低電圧の電源であり、電源 V_{DD2} は高電圧の電源である。すなわち、電源 $V_{DD1} < \text{電源 } V_{DD2}$ である。 30

【0003】以下、通常動作時の、すなわち、電源 V_{DD1} 、 V_{DD2} が共に供給されている場合のレベルシフト回路 30 の動作を説明する。

【0004】まず、信号 V_{IN} がロウレベルの時、内部ノード A は、信号 V_{IN} のロウレベルがインバータ 12 により反転されてハイレベル（電源 V_{DD1} の電圧レベル）、内部ノード B は、内部ノード A のハイレベルがインバータ 14 により反転されてロウレベルである。 40

【0005】これに応じて、レベルシフタ 16 の N 型 MOS トランジスタ (NMOS) N3 はオン、NMOS N4 はオフであり、内部ノード C はロウレベルである。また、内部ノード C のロウレベルにより、P 型 MOS トランジスタ (PMOS) P4 はオンであり、内部ノード D はハイレベル（電源 V_{DD2} の電圧レベル）、PMOS P3 はオフである。

2

【0006】したがって、内部ノード D のハイレベルはインバータ 18 により反転され、信号 V_{OUT} としてロウレベルが出力される。

【0007】一方、信号 V_{IN} がハイレベル（電源 V_{DD1} の電圧レベル）の時、内部ノード A は、信号 V_{IN} のハイレベルがインバータ 12 により反転されてロウレベル、内部ノード B は、内部ノード A のロウレベルがインバータ 14 により反転されてハイレベル（電源 V_{DD1} の電圧レベル）である。

【0008】これに応じて、レベルシフタ 16 の NMOS N3 はオフ、NMOS N4 はオンであり、内部ノード D はロウレベルである。また、内部ノード D のロウレベルにより、PMOS P3 はオンであり、内部ノード C はハイレベル（電源 V_{DD2} の電圧レベル）、PMOS P4 はオフである。

【0009】したがって、内部ノード D のロウレベルはインバータ 18 により反転され、信号 V_{OUT} としてハイレベル（電源 V_{DD2} の電圧レベル）が出力される。

【0010】次に、電源 V_{DD1} 、 V_{DD2} の投入時（立ち上げ時）の動作を説明する。

【0011】まず、電源 V_{DD2} よりも先に電源 V_{DD1} が立ち上がった場合、内部ノード A、B は、ハイレベル（電源 V_{DD1} の電圧レベル）またはロウレベルのどちらかに確定する。続いて、電源 V_{DD2} が立ち上がった時、内部ノード C、D は、内部ノード A、B の状態に応じて、ハイレベル（電源 V_{DD2} の電圧レベル）またはロウレベルのどちらかに確定し、貫通電流は流れないので何ら問題はない。

【0012】これに対し、電源 V_{DD1} よりも先に電源 V_{DD2} が立ち上がった場合、図 9 のタイミングチャートに示すように、内部ノード A、B は、電源 V_{DD1} が立ち上がるまでの期間は、不定電圧状態である。

【0013】したがって、もしも内部ノード A、B が中間レベルの場合は、レベルシフタ 16 の PMOS P3 および NMOS N3、もしくは、PMOS P4 および NMOS N4 を介して貫通電流が流れる。また、PMOS P4 および NMOS N4 を介して貫通電流が流れて内部ノード D が中間レベルになると、さらに出力最終段ドライバのインバータ 18 の PMOS P5 および NMOS N5 を介して貫通電流が流れるという問題が発生する。

【0014】

【発明が解決しようとする課題】本発明の目的は、前記従来技術に基づく問題点を解消し、電源電圧の異なる 2 つの電源の投入順序に係わらず、電源投入時の貫通電流を防止することができるレベルシフト回路を提供することにある。

【0015】

【課題を解決するための手段】上記目的を達成するために、本発明は、低電圧の信号を高電圧の信号に変換するレベルシフタを備えるレベルシフト回路であって、前記 50

レベルシフタは、前記低電圧の信号が入力される入力用のトランジスタを備え、この入力用のトランジスタのオン/オフの状態に応じて当該レベルシフタの出力信号を発生するものであり、低電圧の電源よりも先に高電圧の電源が投入された場合に、前記レベルシフタの入力用のトランジスタへの入力信号を確定する手段を備えていることを特徴とするレベルシフト回路を提供するものである。

【0016】ここで、前記レベルシフタの入力用のトランジスタへの入力信号を確定する手段は、前記高電圧の電源もしくはグラウンドと前記レベルシフタの入力用のトランジスタの入力端子との間に設けられた容量素子、ないしは抵抗素子であるのが好ましい。

【0017】

【発明の実施の形態】以下に、添付の図面に示す好適実施例に基づいて、本発明のレベルシフト回路を詳細に説明する。

【0018】図1は、本発明のレベルシフト回路の一実施例の構成回路図である。同図に示すレベルシフト回路10は、低電圧の信号を高電圧の信号にレベル変換して出力するもので、プリドライバの2つのインバータ12、14と、レベルシフタ16と、出力最終段ドライバのインバータ18と、2つの容量素子C1、C2とを備えている。ここで、電源VDD1は低電圧の電源であり、電源VDD2は高電圧の電源である（電源VDD1<電源VDD2）。

【0019】図示例のレベルシフト回路10において、まず、プリドライバのインバータ12は、低電圧の信号VINを反転出力するもので、P型MOSトランジスタ（以後、PMOSと記す）P1と、N型MOSトランジスタ（以後、NMOSと記す）N1とを備えている。これらのPMOSP1およびNMOSN1は、低電圧の電源VDD1とグラウンドとの間に直列に接続され、そのゲートは共に信号VINに接続され、そのドレインは共に内部ノードAに接続されている。

【0020】また、プリドライバのインバータ14は、インバータ12の出力信号（内部ノードA）を反転出力するもので、PMOSP2と、NMOSN2とを備えている。これらのPMOSP2およびNMOSN2は、低電圧の電源VDD1とグラウンドとの間に直列に接続され、そのゲートは共に内部ノードAに接続され、そのドレインは共に内部ノードBに接続されている。

【0021】続いて、レベルシフタ16は、プリドライバの2つのインバータ12、14の低電圧の出力信号に応じて、信号VINをこれに対応する高電圧の信号に変換するもので、プリドライバのインバータ12、14の出力信号が入力される入力用トランジスタのNMOSN3およびN4と、この入力用トランジスタのオン/オフの状態に応じて、レベルシフタ16の出力信号を発生する出力負荷としてのPMOSP3およびP4とを備えて

いる。

【0022】ここで、PMOSP3およびNMOSN3は、高電圧の電源VDD2とグラウンドとの間に直列に接続され、そのゲートは、それぞれ内部ノードDおよび内部ノードAに接続されている。同じく、PMOSP4およびNMOSN4は、高電圧の電源VDD2とグラウンドとの間に直列に接続され、そのゲートは、それぞれ内部ノードCおよび内部ノードBに接続されている。

【0023】出力最終段ドライバのインバータ18は、レベルシフタ16の出力信号（内部ノードD）を反転し、信号VOUとして出力するもので、PMOSP5と、NMOSN5とを備えている。これらのPMOSP5およびNMOSN5は、高電圧の電源VDD2とグラウンドとの間に直列に接続され、そのゲートは共に内部ノードDに接続され、そのドレインは共に信号VOUに接続されている。

【0024】また、容量素子C1は、低電圧の電源VDD1よりも先に高電圧の電源VDD2が投入された場合に、レベルシフタ16の入力用トランジスタのNMOSN3への入力信号（内部ノードA）を確定するもので、高電圧の電源VDD2と内部ノードAとの間に接続されている。この容量素子C1により、電源投入時の内部ノードAの電圧レベルは、高電圧の電源VDD2の電圧レベル付近まで上昇される。

【0025】最後に、容量素子C2は、低電圧の電源VDD1よりも先に高電圧の電源VDD2が投入された場合に、レベルシフタ16の入力用トランジスタのNMOSN4への入力信号（内部ノードB）を確定するもので、内部ノードBとグラウンドとの間に接続されている。この容量素子C2により、電源投入時の内部ノードBの電圧レベルは、グラウンドの電圧レベル付近に抑えられる。

【0026】以下、レベルシフト回路10の動作を説明する。

【0027】まず、通常動作時の、すなわち、電源VDD1、VDD2が共に供給されている場合のレベルシフト回路10の動作、および、電源VDD2よりも先に電源VDD1が立ち上がった場合のレベルシフト回路10の動作は、図8に示す従来のレベルシフト回路30の動作と全く同じである。したがって、以下の説明では、電源VDD1よりも先に電源VDD2が立ち上がった場合のレベルシフト回路10の動作について説明を行う。

【0028】図2のタイミングチャートに示すように、レベルシフト回路10では、電源VDD1により先に電源VDD2が立ち上がると、内部ノードAは、容量素子C1を介して電源VDD2に交流的に接続されているので、容量素子C1のカップリングにより電源VDD2の立ち上がりと共に立ち上がる。

【0029】また、内部ノードBは、容量素子C2を介してグラウンドに交流的に接続されているので、電源VD

5

D2が立ち上がる過渡状態ではほぼグラウンド近傍の電圧レベルとなる。そして、内部ノードAが立ち上がり、プリドライバのインバータ14のNMOSN2がオンすると、内部ノードBは、このNMOSN2を介してグラウンドの電圧レベルに引き落とされる。

【0030】この結果、レベルシフト16のNMOSN3はオン、NMOSN4はオフとなり、内部ノードCはロウレベルになる。また、内部ノードCがロウレベルになると、PMOSP4はオンし、内部ノードDはハイレベル（電源VDD2の電圧レベル）となり、PMOSP3はオフする。

【0031】また、内部ノードDのハイレベルは出力最終段ドライバのインバータ18により反転され、信号VOUTとしてロウレベルが出力される。すなわち、レベルシフト回路10では、電源VDD1、VDD2の投入順序に係わらず、貫通電流は流れない。

【0032】なお、上記実施例では、内部ノードBとグラウンドとの間に容量素子C2を設けているが、前述のように、電源VDD2の投入時に、容量素子C1によって内部ノードAが立ち上がると、インバータ14により内部ノードBはグラウンドの電圧レベルに引き落とされるので、容量素子C2は必須の要件ではない。従って、図3に示すレベルシフト回路20のように、容量素子C1を設けるだけでも図1の場合とほぼ同じ効果が得られる。

【0033】また、上記実施例の場合とは逆に、内部ノードAとグラウンドとの間に容量素子C1を設け、かつ、電源VDD2と内部ノードBとの間に容量素子C2を設けるようにしても当然よい。この場合も、容量素子C2は必須の要件ではないが、電源VDD2の投入時に、容量素子C1によって内部ノードAの電圧レベルはグラウンド近傍の電圧レベルとなり、完全にグラウンドの電圧レベルとはならないので、容量素子C2を設ける方が好ましい。

【0034】また、上記実施例では、容量素子C1、C2を用いたが、これに限定されず、図4に示すレベルシフト回路22のように、容量素子C1、C2の代わりに抵抗素子R1、R2を用いても同様の効果が得られる。ここで、抵抗素子R1、R2は、共に通常動作時には殆ど問題にならない程度の高抵抗値であるとする。

【0035】図4に示すレベルシフト回路22では、電源VDD1よりも先に電源VDD2が立ち上がると、内部ノードAは、抵抗素子R1を介して電源VDD2の立ち上がりと共に立ち上がる。また、内部ノードBは、抵抗素子R2を介してほぼグラウンドの電圧レベルとなる。以後の動作は、図1に示すレベルシフト回路10の場合と同じである。

【0036】また、図4に示すレベルシフト回路22のように、抵抗素子R1、R2を用いた場合も、抵抗素子R2は必須の要件ではない。また、図4に示す例の場合とは逆に、内部ノードAとグラウンドとの間に抵抗素子R

6

1を設け、かつ、電源VDD2と内部ノードBとの間に抵抗素子R2を設けるようにしても当然よい。この場合も、抵抗素子R2は必須の要件ではないが、容量素子C2の場合と同じ理由で抵抗素子R2を設ける方が好ましい。

【0037】また、プリドライバおよび出力最終段ドライバは、必ずしもインバータである必要はない。また、レベルシフトは、プリドライバの出力信号が入力される入力用トランジスタを備え、この入力用トランジスタのオン/オフの状態に応じてレベルシフトの出力信号を発生するものであって、プリドライバの出力信号に応じて、低電圧の信号VINを高電圧の信号に変換するものであれば、その回路構成は図示例のものに何ら限定されない。

【0038】以下、本発明の範囲を明らかにするために、図5～7に示す本発明のレベルシフト回路の別の実施例を挙げて説明する。

【0039】まず、図5に示すレベルシフト回路24は、図3に示すレベルシフト回路20において、レベルシフト16の代わりに、PMOSP3とNMOSN3との間にPMOSP6を挿入し、かつ、PMOSP4とNMOSN4との間にPMOSP7を挿入したレベルシフト16bを用いたものである。このレベルシフト16bのPMOSP6、P7のゲートは、それぞれ内部ノードAおよびBに接続されている。

【0040】次に、図6に示すレベルシフト回路26は、図3に示すレベルシフト回路20において、レベルシフト16の代わりに、PMOSP3とNMOSN3との間にNMOSN6を挿入し、かつ、PMOSP4とNMOSN4との間にNMOSN7を挿入したレベルシフト16cを用いたものである。このレベルシフト16cのNMOSN6、N7のゲートは、共に電源VDD1に接続されている。

【0041】これらの図5および図6に示すレベルシフト回路24、26の動作は、基本的に図1に示すレベルシフト回路10の動作と同じである。

【0042】また、図7に示すレベルシフト回路28は、図5に示すレベルシフト回路24において、プリドライバとして直列に接続した2つのインバータ12bを用い、レベルシフト16bの代わりに、図中左側半分のPMOSP3、P6およびNMOSN3からなるレベルシフト16dを用いたものである。レベルシフト16dのPMOSP3のゲートは信号VOUTに接続され、出力最終段ドライバのNMOSN5のゲートは内部ノードBに接続されている。

【0043】図7に示すレベルシフト回路28では、通常動作時に、信号VINがロウレベルの場合、内部ノードAおよびBは、それぞれロウレベルおよびハイレベル（電源VDD1の電圧レベル）である。

【0044】したがって、インバータ14のPMOSP

7

2はオン、NMOSN2はオフであり、出力最終段ドライバのインバータ18の出力信号VOUTはロウレベルである。また、信号VOUTのロウレベルにより、レベルシフト16dのPMOSP3はオン、PMOSP6はオン、NMOSN3はオフであり、従って、内部ノードCはハイレベル（電源VDD2の電圧レベル）であり、出力最終段ドライバのインバータ18のPMOSP5はオフである。

【0045】一方、通常動作時に、信号VINがハイレベル（電源VDD1の電圧レベル）の場合、内部ノードAおよびBは、それぞれハイレベル（電源VDD1の電圧レベル）およびロウレベルである。

【0046】したがって、レベルシフト16dのPMOSP6はオフ、NMOSN3はオンであり、内部ノードCはロウレベルである。これに応じて、出力最終段ドライバのインバータ18のPMOSP5はオン、NMOSN5はオフであり、その出力信号VOUTはハイレベル（電源VDD2の電圧レベル）である。また、信号VOUTのハイレベルにより、レベルシフト16dのPMOSP3はオフである。

【0047】次に、電源VDD1、VDD2の投入時において、まず、電源VDD2よりも先に電源VDD1が立ち上がった場合、内部ノードA、Bは、ハイレベル（電源VDD1の電圧レベル）またはロウレベルのどちらかに確定する。続いて、電源VDD2が立ち上がった時、内部ノードCは、内部ノードA、Bの状態に応じて、ハイレベル（電源VDD2の電圧レベル）またはロウレベルのどちらかに確定し、貫通電流は流れない。

【0048】一方、電源VDD1により先に電源VDD2が立ち上がった場合、内部ノードAは、容量素子C1により電源VDD2の立ち上がりと共に立ち上がる。また、内部ノードBは、内部ノードAが立ち上がり、プリドライバのインバータ14のNMOSN2がオンすると、このNMOSN2を介してグランドの電圧レベルに引き落とされる。

【0049】また、レベルシフト16dのPMOSP6はオフ、NMOSN3はオンとなり、内部ノードCはロウレベルになる。従って、出力最終段ドライバのインバータ18のPMOSP5はオン、NMOSN5はオフし、その出力信号VOUTはハイレベル（電源VDD2の電圧レベル）となり、レベルシフト16dのPMOSP3はオフする。すなわち、レベルシフト回路28においても、電源VDD1、VDD2の投入順序に係わらず、貫通電流は流れない。

【0050】本発明のレベルシフト回路は、低電圧の電源VDD1よりも先に高電圧の電源VDD2が投入された場合に、レベルシフトの入力用トランジスタへの入力信号を確定する手段を備えることを特徴とするものであり、プリドライバ、レベルシフトおよび出力最終段ドライバの具体的な回路構成は、図5～図7に一例を示すよ

8

うに各種の変更が可能である。なお、図5～7では、容量素子C1を用いているが、もちろん抵抗素子を使用してもよい。

【0051】上記容量の構成に関しては、ゲート容量、ポリシリコン層－絶縁体層－ポリシリコン層で形成された容量、金属層－絶縁体層－ポリシリコン層で形成した容量等の様々な構成が可能で、特に限定されない。また、上記抵抗素子に関しても、拡散抵抗、ポリシリコン抵抗、金属抵抗等の様々な構成が可能で、特に限定されない。

【0052】本発明のレベルシフト回路は、基本的に以上のようなものである。以上、本発明のレベルシフト回路について詳細に説明したが、本発明は上記実施例に限定されず、本発明の主旨を逸脱しない範囲において、種々の改良や変更をしてもよいのはもちろんである。

【0053】

【発明の効果】以上詳細に説明した様に、本発明のレベルシフト回路は、低電圧の電源よりも先に高電圧の電源が投入された場合に、レベルシフトの入力用のトランジスタへの入力信号を確定する手段を備えるものである。これにより、本発明のレベルシフト回路によれば、高電圧および低電圧の電源の投入順序に係わらず、電源投入時の貫通電流を防止することができるという効果がある。

【図面の簡単な説明】

【図1】 本発明のレベルシフト回路の一実施例の構成回路図である。

【図2】 本発明のレベルシフト回路の動作を表す一実施例のタイミングチャートである。

【図3】 本発明のレベルシフト回路の別の実施例の構成回路図である。

【図4】 本発明のレベルシフト回路の別の実施例の構成回路図である。

【図5】 本発明のレベルシフト回路の別の実施例の構成回路図である。

【図6】 本発明のレベルシフト回路の別の実施例の構成回路図である。

【図7】 本発明のレベルシフト回路の別の実施例の構成回路図である。

【図8】 従来のレベルシフト回路の一例の構成回路図である。

【図9】 従来のレベルシフト回路の動作を表す一例のタイミングチャートである。

【符号の説明】

10、20、22、24、26、28、30 レベルシフト回路

12、12b、14、18 インバータ

16、16b、16c、16d レベルシフト

P1、P2、P3、P4、P5、P6、P7 P型MOSトランジスタ（PMOS）

9

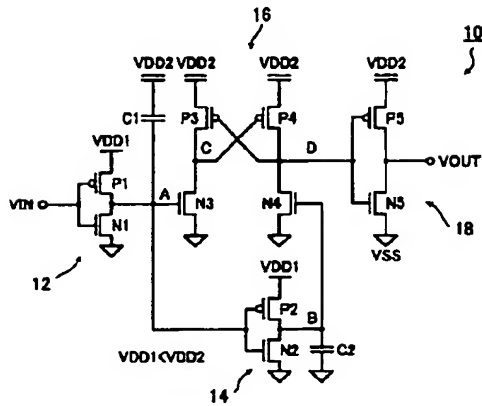
10

N1, N2, N3, N4, N5, N6, N7 N型MOS
Sトランジスタ (NMOS)
C1, C2 容量素子
R1, R2 抵抗素子

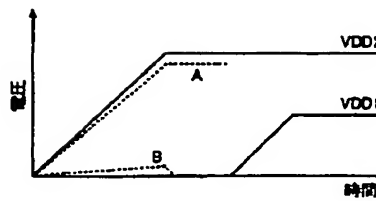
*VDD1, VDD2 電源
A, B, C, D 内部ノード
VIN, VOUT 信号

*

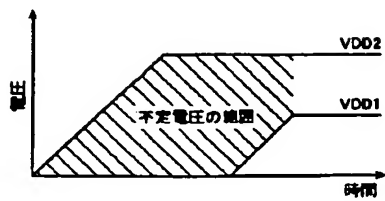
【図1】



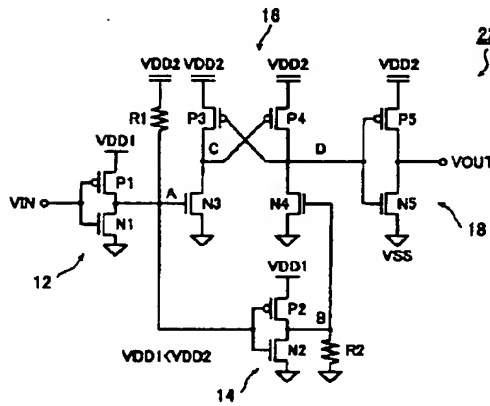
【図2】



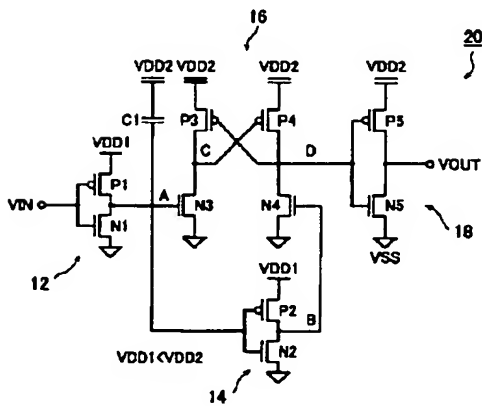
【図9】



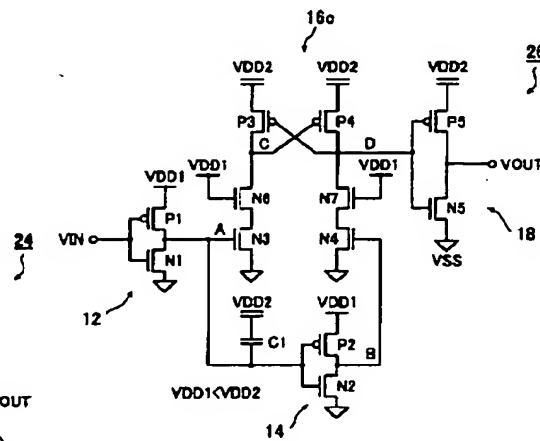
【図4】



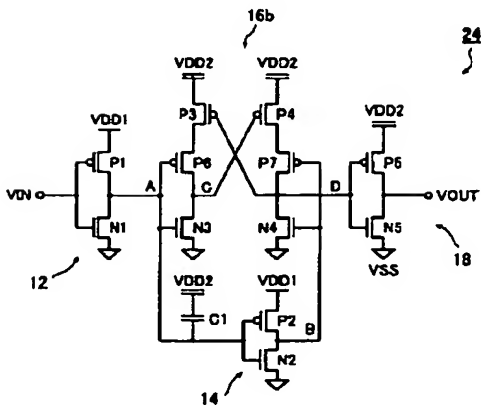
【図3】



【図6】



【図5】



【図7】



【図 8】

